

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroaki YODA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MAGNETIC RANDOM ACCESS MEMORY AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
Japan

APPLICATION NUMBER
2003-065055

MONTH/DAY/YEAR
March 11, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and


☐ (B) Application Serial No.(s) _____

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月11日

出 願 番 号
Application Number:

特願2003-065055

[ST.10/C]:

[JP2003-065055]

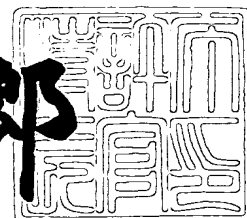
出 願 人
Applicant(s):

株式会社東芝

2003年 4月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3023491

【書類名】 特許願

【整理番号】 A000206107

【提出日】 平成15年 3月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/265

【発明の名称】 磁気ランダムアクセスメモリおよびその製造方法

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 與田 博明

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

 【氏名】 上田 知正

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

 【氏名】 相川 尚徳

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

 【氏名】 岸 達也

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 梶山 健

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横

浜事業所内

【氏名】 浅尾 吉昭

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリおよびその製造方法

【特許請求の範囲】

【請求項 1】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリにおいて、

前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、柱状粒子の成長方向が側壁の法線方向に対して30度以下であることを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリにおいて、

前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、粒子が層状に堆積した構造を有することを特徴とする磁気ランダムアクセスメモリ。

【請求項 3】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリにおいて、

前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、アモルファス状に堆積した構造を有することを特徴とする磁気ランダム

アクセスメモリ。

【請求項 4】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリにおいて、

前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、柱状粒子の成長方向が側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在していることを特徴とする磁気ランダムアクセスメモリ。

【請求項 5】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、

前記書き込み配線を形成する際、

前記半導体基板上の層間絶縁膜にトレンチを形成する工程と、

前記半導体基板の基板面に磁性体を堆積し、この磁性体をスパッタするスパッタ法を用いて、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を堆積させる工程と、

前記トレンチ内部に書き込み配線を埋め込む工程

とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項 6】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対

応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、

前記書き込み配線を形成する際、

前記半導体基板上の層間絶縁膜上に配線層を堆積し、前記配線層をパターンニングして書き込み配線を残す工程と、

前記半導体基板の基板面に磁性体を堆積してスパッタするスパッタ法を用いて、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を堆積させる工程

とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項7】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、

前記書き込み配線を形成する際、

前記半導体基板上の層間絶縁膜にトレンチを形成する工程と、

磁性体のスパッタ粒子をイオン化して前記半導体基板の基板面に飛来させることによって、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を堆積させる工程と、

前記トレンチ内部に書き込み配線を埋め込む工程

とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項8】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対

応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、

前記書き込み配線を形成する際、

前記半導体基板上の層間絶縁膜上に配線層を堆積し、前記配線層をパターニングして書き込み配線を残す工程と、

磁性体のスパッタ粒子をイオン化して前記半導体基板の基板面に飛来させることによって、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を堆積させる工程

とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項9】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、

前記書き込み配線を形成する際、

前記半導体基板上の層間絶縁膜にトレンチを形成する工程と、

前記トレンチの内壁に、シード層としてNiFeを用いるメッキ法によって、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を成長させる工程と、

前記トレンチ内部に書き込み配線を埋め込む工程

とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項10】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に

対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、

前記書き込み配線を形成する際、

前記半導体基板上の層間絶縁膜にトレンチを形成する工程と、

前記トレンチの内壁に、シード層として銅を用いるメッキ法によって、柱状粒子の成長方向が前記側壁の法線方向に対して30度以下になる、または、粒子が層状に堆積した構造を有する、または、アモルファス状に堆積した構造を有するように磁性層を形成する工程と、

前記トレンチ内部に書き込み配線を埋め込む工程

とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項 1 1】 非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、

前記書き込み配線を形成する際、

前記半導体基板上の層間絶縁膜上に銅を主成分とする配線層を堆積し、前記配線層をパターンニングして書き込み配線を残す工程と、

柱状粒子の成長方向が前記側壁の法線方向に対して30度以下になる、または、粒子が層状に堆積した構造を有する、または、アモルファス状に堆積した構造を有するように磁性層を直接に成長させる工程

とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、磁気ランダムアクセスメモリ（MRAM: Magnetic Random Access Mem

ory) に係り、特にトンネル型磁気抵抗効果により“0”／“1”情報の記憶を行う素子を利用して構成した磁気メモリセルを用いるMRAMにおいて磁性体で被覆された書きこみ配線の構造に関する。

【0002】

【従来の技術】

近年、新たな原理により情報を記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル型磁気抵抗(Tunneling Magneto Resistive) 効果を用いて“1”/“0” 情報の記憶を行う強磁性トンネル接合(Magnetic Tunnel Junction : 以後、MTJ と表記する) 素子を利用して構成した磁気メモリセルを行列状に配置した不揮発性、高速性を併せ持つMRAMが提案されている(例えば、非特許文献1 参照)。

【0003】

図9は、MRAMで用いられるMTJ 素子の断面構造を概略的に示す。

【0004】

このMTJ 素子は、2つの磁性層(強磁性層、強磁性体膜)71,72 で1つの非磁性層(トンネルバリア膜)73を挟んだ構造を有し、2つの磁性層71,72 のスピンの向きが平行であるか反平行であるかによって“0”／“1”情報を記憶する。

【0005】

通常、2つの磁性層71,72 の一方側には反強磁性層74が配置される。反強磁性層74は、一方側の磁性層72のスピンの向きを固定することによって、他方側の磁性層71のスピンの向きのみを変えることにより情報を容易に書き換えるための部材である。ここで、スピン可変側の磁性層71は自由層(または記録層)、スピン固定側の磁性層72は固定層(またはピン層)と呼ばれる。

【0006】

図10(a)および(b)は、図9に示したMTJ 素子の2つの磁性層71,72 のスピンの向きの2つの状態を示している。

【0007】

図10(a)に示すように、2つの磁性層71,72 のスピンの向き(図示矢印の向き)が平行(同じ)である場合は、2つの磁性層71,72 に挟まれたトンネルバ

リア膜73のトンネル抵抗は最も低くなる（トンネル電流が最も大きくなる）。

【0008】

図10（b）に示すように、2つの磁性層71,72のスピンの向きが反平行である場合は、2つの磁性層71,72に挟まれたトンネルバリア膜73のトンネル抵抗は最も高くなる（トンネル電流が最も小さくなる）。

【0009】

MRAMでは、MTJ素子の抵抗値が異なる2つの状態を、“1”情報の記憶状態（“1”状態）および“0”情報の記憶状態（“0”状態）に対応させている。

【0010】

図11は、MRAMのセルアレイの平面レイアウトの一例を模式的に示す。

【0011】

複数の書き込み／読み出し用のビット線BLと複数の書き込みワード線WWLが直交方向に配設され、その各交点に対応してMTJ素子が配設される。このMTJ素子は、長方形の長辺が書き込みワード線WWLに沿い、短辺がビット線BLに沿い、長辺方向に沿うようにスピン方向が付与されている。各ビット線BLは、同一行（または列）の複数のMTJ素子の各固定層に接続されており、各書き込みワード線WWLは同一列（または行）の複数のMTJ素子の各自由層に近接して対向するように配置されている。

【0012】

図12は、図11中のA-A線に沿って書き込みワード線に垂直な断面におけるメモリセルの1個分に着目して構造の一例を示す断面図である。

【0013】

図13は、図11中のB-B線に沿ってビット線に垂直な断面における構造の一例を示す断面図である。

【0014】

図12および図13において、10は半導体基板（例えばP型Si基板）、11はシャロウトレンチ型の素子分離領域（STI）、12はゲート酸化膜、13は読み出し用セル選択トランジスタ（NMOSFET）のドレイン領域またはソース領域となる不純物拡散層（N+）、14はゲート電極（GC）、15は第1金属配線層（M1）、16は第2金属配線

層(M2)、17は第3金属配線層(M3)からなるMTJ 接続用配線、18は第1金属配線層15を拡散層13へ電氣的に接続するための導電性のコンタクト、19は第2金属配線層16から第1金属配線層15へ電氣的に接続するための導電性のコンタクト、20は第3金属配線層17から第2金属配線層16へ電氣的に接続するための導電性のコンタクト、21はMTJ 素子、22は第4配線層(M4)、23は第4金属配線層22をMTJ 素子21へ電氣的に接続するための導電性のコンタクト、24は層間絶縁膜である。

【 0 0 1 5 】

なお、図中、配線の用途として、(BL)は書き込み／読み出し用のビット線、(WL)は書き込みワード線、(SL)はソース線、(RWL)は読み出しワード線を表わしており、ソース線(SL)は接地電位に接続される。

【 0 0 1 6 】

次に、図11乃至図13を参照してMTJ 素子21に対する書き込み動作原理を説明する。

【 0 0 1 7 】

MTJ 素子に対する書き込みは、書き込みワード線WWL およびビット線BLに電流を流し、両配線に流れる電流により作られる磁界を用いてMTJ 素子のスピンの向きを平行または反平行にすることにより達成される。

【 0 0 1 8 】

即ち、MTJ 素子へ情報を書き込む時には、ビット線BLには書き込みデータに応じて第1の方向またはそれとは逆の第2の方向に向かう電流を流して磁界 H_x を発生させ、書き込みワード線WWL には一定方向に向かう電流のみを流して磁界 H_y を発生させることにより、合成磁界を用いて情報を書き込む。この際、ビット線BLに第1の方向に向かう電流を流すと、MTJ 素子のスピンの向きは平行となり、ビット線BLに第2の方向に向かう電流を流すと、MTJ 素子のスピンの向きは反平行となる。

【 0 0 1 9 】

MTJ 素子から情報を読み出す時には、読み出しワード線RWL を活性化させ、選択されたMTJ 素子に接続されるスイッチ素子のみをオン状態として電流経路を作り、選択されたビット線BLから接地電位へ電流を流す。その結果、選択されたMT

J 素子のみにその抵抗値に応じた電流が流れるので、その電流値を検出することにより情報を読み出すことができる。

【 0 0 2 0 】

次に、MTJ 素子のスピンの向きが変わる仕組みについて、図 1 4 および図 1 5 を参照しながら簡単に説明する。

【 0 0 2 1 】

図 1 4 は、MTJ 素子の印加磁界の反転による抵抗値の変化特性 (MTJ 曲線) を示している。

【 0 0 2 2 】

図 1 5 は、MTJ 素子のアステロイド曲線を示している。

【 0 0 2 3 】

図 1 4 に示す MTJ 曲線のように、MTJ 素子の Easy-Axis (容易軸) 方向に磁界 H_x をかけると、MTJ 素子の抵抗値は例えば 17% 程度変化する。この変化率 (変化の前後の抵抗の比) は、MR 比と呼ばれる。なお、MR 比は、MTJ 素子の磁性層の性質により変化する。現在では、MR 比が 50% 程度の MTJ 素子も得られている。MTJ 素子には、Easy-Axis 方向の磁界 H_x と Hard-Axis (困難軸) 方向の磁界 H_y との合成磁界が印加される。

【 0 0 2 4 】

図 1 4 中の実線および破線に示すように、Hard-Axis 方向の磁界 H_y の大きさによって、MTJ 素子の抵抗値を変えるために必要な Easy-Axis 方向の磁界 H_x の大きさも変化する。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線 WWL および選択されたビット線 BL の交点に対応して配置されている MTJ 素子のみにデータを書き込むことができる。

【 0 0 2 5 】

即ち、図 1 5 に示すように、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大きさがアステロイド曲線の外側 (例えば図中の黒丸の位置) にあれば、MTJ 素子の磁性層のスピンの向きを反転させることができる。

【 0 0 2 6 】

逆に、Easy-Axis 方向の磁界 H_x と Hard-Axis 方向の磁界 H_y との合成磁界の大き

さがアステロイド曲線の内側（例えば図中の白丸の位置）にある場合には、MTJ素子の磁性層のスピンの向きを反転させることはできない。

【 0 0 2 7 】

従って、Easy-Axis 方向の磁界HxとHard-Axis 方向の磁界Hyとの合成磁界の大きさを換え、合成磁界の大きさのHx-Hy 平面内における位置を変えることにより、MTJ 素子に対するデータの書き込みを制御できる。

【 0 0 2 8 】

ところで、MRAMにおける最大の課題は書き込み電流の低減であると言われていた。現在報告されているMTJ 素子の書き込み電流値は、セル幅が0.4 ～0.6 μm、セル長さが1.2 μm 程度の場合に、8 ～10mAと大きく、配線のエレクトロマイグレーションの問題やドライブ回路が大きくなるなどの問題がある。

【 0 0 2 9 】

本願発明者が試作した1KビットレベルのMRAMのテストチップでも、やはり、書き込み電流値は8 ～10mAであった。実用化のためには、書き込み電流値を許容可能なレベル（1 ～2mA ）に低下させることが必須である。

【 0 0 3 0 】

MTJ 素子の書き換えのためには、MTJ 素子の記憶層（2 ～5nm のNiFe薄膜など）の磁化を反転されなければならない。記録層の磁化情報を書き替えるために必要な反転磁界Hsw は、概略、次式（1）で与えられる。

【 0 0 3 1 】

$$H_{sw} = 4\pi * M_s * t / F \quad (Oe) \quad \dots (1)$$

ここで、Msは記録層の飽和磁化、t は記録層の厚さ、F は記録層の幅である。

【 0 0 3 2 】

熱擾乱耐性確保のためには、MTJ 素子の記録層の薄膜化は限界があり、0.15 μm 程度以下のMTJ 素子の微細化は、記録層の厚さを増大させる必要が生じる。

【 0 0 3 3 】

仮に記録層を2nm のCoFeNi薄膜に固定できたとしても、MTJ 素子を微細化する（F を減少させる）と、反転磁界Hsw が増大し、書き込み電流はますます大きくなる。

【 0 0 3 4 】

一方、配線に流せる電流密度には上限があり、銅(Cu)の場合で 10^7 A/cm² である。したがって、微細化に伴って配線の断面積も減少し、記録層の磁化を反転させるに必要な反転磁界 H_{sw} を発生させる大きさの電流を流せなくなる。

【 0 0 3 5 】

上記したような課題を解消するため、書き込み電流を低減する方法として、通常の書き込み配線（例えばCu）にNiFe等の軟磁性材料を被覆したヨーク(Yoke)付きの書き込み配線を用いることによって、2倍程度の高効率化効果（書き込み電流値は1/2）が得られることが報告されている（非特許文献2参照）。

【 0 0 3 6 】

図16（a）および（b）は、ヨーク付き書き込み配線の構造の一例と、それを用いて書き込みを行う場合に書き込み効率が改善される特性を示す。

【 0 0 3 7 】

図16（b）において、特性Aは、MTJ素子の記録層に2nmのCoFeNi薄膜を用いた場合について、MTJ素子の微細化に伴なってスイッチング磁界 H_{sw} が増大する様子を示している。

【 0 0 3 8 】

通常の書き込み配線を用いる場合には、 $1/F$ が7程度までは発生磁界の方がスイッチング磁界よりも大きいので書き込み可能である。これに対して、従来の技術により形成されたヨーク付き書き込み配線を用いる場合には、 $1/F$ が7程度を越えても、発生磁界の方がスイッチング磁界よりも大きいので書き込み可能であるが、 $1/F$ が10程度を越えると発生磁界の方がスイッチング磁界よりも小さくなる。

【 0 0 3 9 】

即ち、従来の技術により形成されたヨーク付き書き込み配線を用いた場合について、実験と計算機シミュレーションにより検討した結果、2倍程度の高効率化効果を確認でき、書き込み電流を5mAに低減できたが、これが限界であり、実用化のために必要な目標値である1～2mAには程遠い。

【 0 0 4 0 】

また、50nsec程度の短パルスの書き込み電流で高速に書き込みを行った結果、必要な書き込み電流値がばらつき、一定の書き込み電流で書き込みを行った場合の再現性90%を大きく下回る再現性しか得られなかった。

【0 0 4 1】

【非特許文献1】

Roy Scheuerlein et.al."A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell",ISS CC2000 Technical Digest pp.128～pp.129

【0 0 4 2】

【非特許文献2】

Saied Tehrani,"Magnetoresistive RAM", 2001 IEDM short course

【0 0 4 3】

【発明が解決しようとする課題】

上記したように磁気ランダムアクセスメモリの書き込み電流を低減するために書き込み配線の側面を磁性層で被覆したヨーク付きの書き込み配線が提案されているが、実用化のために必要な目標値よりもかなり大きく、また、短パルスの書き込み電流で高速に書き込みを行った結果、必要な書き込み電流値がばらつき、書き込みの再現性が低いという問題があった。

【0 0 4 4】

本発明は上記の問題点を解決すべくなされたもので、書き込み配線の側面の少なくとも一部が磁性体で被覆されたヨーク付き書き込み配線の磁性層の結晶状態を工夫することにより、書き込み電流値の大幅な低減と、短パルスで再現性の高い書き込みを可能とした磁気ランダムアクセスメモリおよびその製造方法を提供することを目的とする。

【0 0 4 5】

【課題を解決するための手段】

本発明の磁気ランダムアクセスメモリの第1の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した

書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリであって、前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、柱状粒子の成長方向が側壁の法線方向に対して30度以下であることを特徴とする。

【 0 0 4 6 】

本発明の磁気ランダムアクセスメモリの第2の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリであって、前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、粒子が層状に堆積した構造を有することを特徴とする。

【 0 0 4 7 】

本発明の磁気ランダムアクセスメモリの第3の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリであって、前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、アモルファス状に堆積した構造を有することを特徴とする。

【 0 0 4 8 】

本発明の磁気ランダムアクセスメモリの第4の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込

む磁気ランダムアクセスメモリであって、前記書き込み配線の側壁の少なくとも一部が磁性層で被覆されており、前記磁性層は、柱状粒子の成長方向が側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在していることを特徴とする。

【 0 0 4 9 】

本発明の磁気ランダムアクセスメモリの製造方法の第1の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、前記書き込み配線の側壁の少なくとも一部に磁性層を堆積させる際、基板面に堆積した磁性層をスパッタすることによって、柱状粒子の成長方向が前記側壁の法線方向に対して30度以下になるように磁性層を堆積させることを特徴とする。

【 0 0 5 0 】

本発明の磁気ランダムアクセスメモリの製造方法の第2の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、前記書き込み配線の側壁の少なくとも一部に磁性層を堆積させる際、スパッタ粒子をイオン化して基板面に飛来させることによって、柱状粒子の成長方向が前記側壁の法線方向に対して30度以下になるように磁性層を堆積させることを特徴とする。

【 0 0 5 1 】

本発明の磁気ランダムアクセスメモリの製造方法の第3の態様は、非磁性層を

狭持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、前記書き込み配線を形成する際、前記半導体基板上の層間絶縁膜にトレンチを形成する工程と、磁性体のスパッタ粒子をイオン化して前記半導体基板の基板面に飛来させることによって、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を堆積させる工程と、この後、前記トレンチ内部に書き込み配線を埋め込む工程とを具備することを特徴とする。

【 0 0 5 2 】

本発明の磁気ランダムアクセスメモリの製造方法の第4の態様は、非磁性層を狭持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、前記書き込み配線を形成する際、前記半導体基板上の層間絶縁膜上に配線層を堆積し、前記配線層をパターニングして書き込み配線を残す工程と、磁性体のスパッタ粒子をイオン化して前記半導体基板の基板面に飛来させることによって、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を堆積させる工程とを具備することを特徴とする。

【 0 0 5 3 】

本発明の磁気ランダムアクセスメモリの製造方法の第5の態様は、非磁性層を狭持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態

により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、前記書き込み配線を形成する際、前記半導体基板上の層間絶縁膜にトレンチを形成する工程と、前記トレンチの内壁に、シード層としてNiFeを用いるメッキ法によって、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるものと、粒子が層状に堆積した構造を有するものと、アモルファス状に堆積した構造を有するもののうち、少なくとも2つが混在している磁性層を成長させる工程と、この後、前記トレンチ内部に書き込み配線を埋め込む工程とを具備することを特徴とする。

【 0 0 5 4 】

本発明の磁気ランダムアクセスメモリの製造方法の第6の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、前記書き込み配線を形成する際、前記半導体基板上の層間絶縁膜にトレンチを形成する工程と、前記トレンチの内壁に、シード層として銅を用いるメッキ法によって、柱状粒子の成長方向が前記側壁の法線方向に対して30度以下になる、または、粒子が層状に堆積した構造を有する、または、アモルファス状に堆積した構造を有するように磁性層を形成する工程と、この後、前記トレンチ内部に書き込み配線を埋め込む工程とを具備することを特徴とする。

【 0 0 5 5 】

本発明の磁気ランダムアクセスメモリの製造方法の第7の態様は、非磁性層を挟持した二層の磁性層からなる磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子

の二層の磁性層のうちのいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリを半導体基板上に製造する方法であって、前記書き込み配線を形成する際、前記半導体基板上の層間絶縁膜上に銅を主成分とする配線層を堆積し、前記配線層をパターニングして書き込み配線を残す工程と、柱状粒子の成長方向が前記側壁の法線方向に対して30度以下になる、または、粒子が層状に堆積した構造を有する、または、アモルファス状に堆積した構造を有するように磁性層を直接に成長させる工程とを具備することを特徴とする。

【 0 0 5 6 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 5 7 】

<書き込み配線>

図 1 (a) および (b) は、本発明のMRAMで用いられるメモリセルのMTJ 素子と書き込み配線との配置関係の二例について模式的に示す図である。

【 0 0 5 8 】

図 1 (a) は、MTJ 素子21の下方部に配置されている書き込み配線（図 1 2 中の書き込みワード線WWL に相当する）1 の側壁が磁性層2 で覆われており、MTJ 素子21の上部に配置されているビット線BLは磁性層で覆われていない例を示している。

【 0 0 5 9 】

図 1 (b) は、MTJ 素子21の上部に配置されている書き込み配線（図 1 2 中のビット線BL書き込みワード線に相当する）1 の側壁が磁性層2 で覆われており、MTJ 素子21の下方部に配置されている書き込みワード線WWL は磁性層で覆われていない例を示している。

【 0 0 6 0 】

図 1 (a) または図 1 (b) に示すような配置関係を有する本発明のMRAMは、非磁性層を挟持した二層の磁性層からなるMTJ 素子21の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記MTJ 素子

21に近接配置した書き込み配線1 に電流を流して誘導磁束を発生させ、前記MTJ素子21の記録層の磁化方向を変化させて情報を書き込むものであり、半導体基板（SI0 基板なども含む）上に形成される。

【0 0 6 1】

図1（a）および（b）において、MTJ素子21は、図9を参照して前述した構造と同様に、磁性層からなる記録層と固定層との間にトンネルバリア膜が挟まれた構造によってトンネル磁気抵抗効果を有する。そして、固定層側には反強磁性層が配置されている。

【0 0 6 2】

書き込み配線（例えばCu）1 は、その側壁の少なくとも1つ（本例ではMTJ素子に対向する一面以外の三面）が磁性層2 で覆われている。

【0 0 6 3】

図2は、図1（a）、（b）中の書き込み配線1 の側壁を覆う磁性層2 の結晶状態を概略的に示している。ここでは、代表例として、図1（b）に示す構造におけるビット線BLの側壁を覆う磁性層2 の結晶状態を示している。

【0 0 6 4】

図3（a）乃至（c）は、図2中に示した磁性層2 の一部の結晶状態を断面TEM観察などにより調べた結果を概略的に示している。

【0 0 6 5】

図4は、図2に示した柱状粒子の成長方向が側壁の法線方向に対してなす角度 θ とそれに対応する書き込み配線を使用した場合の書き込み特性の関係を示している。

【0 0 6 6】

本例の磁性層2 は、前述した従来例の磁性層と比べて、図2乃至図3中に示すように、（1）柱状粒子の成長方向が側壁の法線方向に対して30度以下である構造を有する部分2aと、（2）粒子が層状に堆積した（粒状に層成長した）構造を有する部分2bと、（3）粒子の境界（粒界）が不明瞭なアモルファス状に堆積した構造を有する部分2cのうちの少なくとも1つの部分からなる点が異なる。

【0 0 6 7】

本願発明者は、書き込み配線1 の側壁を磁性層2 で被覆する製造方法をいろいろ工夫し、後述するような条件による製造方法によって磁性層2 を形成した結果、書き込み電流の低減と書き込み再現特性に関して非常に良好な結果が得られた。以下、磁性層2 について詳細に観察した結果を説明する。

【 0 0 6 8 】

図2 中に示したように柱状粒子の成長方向と書き込み配線1 の側壁の法線がなす角度 θ が30度以下の場合には、図4 に示す特性から分かるように、書き込み電流値はこれまでの限界である5mA を大きく下回り、かつ、書き込みの再現性もほぼ100 %となった。即ち、書き込み電流値を5mA 未満、正確には1 ~2mA に低減し、かつ、50nsecの短パルスでの書き込み再現性がほぼ100 %となった。

【 0 0 6 9 】

後述する製造方法に係る幾つかのメッキ条件で磁性層2 を形成して書き込み特性を評価した結果、いずれも良好な特性を示した。この場合の磁性層2 のモフォロジーを断面TEM 観察などにより調べた結果、磁性層2 の柱状粒子の成長方向と書き込み配線1 の側壁の法線がなす角度 θ が30度以下のものと、磁性層2 の粒子が層状に堆積した構造と、磁性層2 の粒界が不明瞭なアモルファス状に堆積した構造を有するものが存在した。

【 0 0 7 0 】

即ち、本発明に係る書き込み配線1 によれば、その側壁を被覆する磁性層2 の結晶状態を工夫している。即ち、柱状粒子の成長方向と書き込み配線1 の側壁の法線がなす角度 θ が30度以下のものと、磁性層2 が粒状に層成長した（粒子が層状に堆積した）構造を有するものと、磁性層2 がアモルファス状に堆積した構造を有するもののいずれか1 つ、あるいは2 つ以上が混在したものを形成することにより、書き込み電流の大幅な低減と再現性のある書き込みを実現することが可能となった。

【 0 0 7 1 】

図5 は、図1 (a)、(b) 中の書き込み配線1 の磁性層2 の後述する製造方法の違いに依存する書き込み電流と、短パルスの書き込み電流で書き込みを行った場合の再現性の関係を示している。

【 0 0 7 2 】

＜書き込み配線の製造方法の第 1 の実施形態＞

図 6 (A) および (B) は、本発明に係る書き込み配線の側壁に磁性層を形成する際にスパッタ法を用いる第 1 の実施形態を概略的に示している。

【 0 0 7 3 】

図 6 (A) は、層間絶縁膜 41 に形成されたトレンチ 42 に書き込み配線を埋め込むことで書き込み配線を形成する場合の製造工程の一例を示している。この工程は、図 1 (a) に示したように MTJ 素子 21 の下部に書き込み配線 1 を配設する場合に適用される。

【 0 0 7 4 】

まず、半導体基板上の層間絶縁膜（例えば SiO_x 膜） 41 に形成されたトレンチ 42 に書き込み配線を埋め込む前に、トレンチ側壁に例えば Ta 層 43 を堆積しておく。この状態で、基板面に堆積した磁性体 (NiFe 等) 44 をアルゴン (Ar) などスパッタするスパッタ法を用いて、柱状粒子の成長方向がトレンチ側壁の法線方向に対して 30 度以下であるように磁性層 (NiFe 等) 2 を堆積させる。この後、トレンチ内部に書き込み配線（例えば Cu）（図示せず）を埋め込むと、図 2 中に示したように、磁性層 2 は書き込み配線の側壁の法線方向に対して 30 度以下になる。

【 0 0 7 5 】

なお、前記トレンチ側壁は、基板面にほぼ垂直、または、トレンチ底面側よりも開口端側が広くなるようなテーパ状に形成されている。

【 0 0 7 6 】

図 6 (B) は、層間絶縁膜 41 上に堆積された配線層をパターニングして書き込み配線 1 を残す場合の製造工程の一例を示している。この工程は、図 1 (b) に示したように MTJ 素子 21 の上部に書き込み配線 1 を配設する場合に適用される。

【 0 0 7 7 】

まず、半導体基板上の層間絶縁膜 41 上に配線層（例えば Cu）を堆積した後に反応性イオンエッチング (RIE: Reactive Ion Etching) により配線層をパターニングして書き込み配線（例えば Cu） 1 を残す。この後、基板面に堆積した磁性体 (NiFe 等) 45 をアルゴン (Ar) などスパッタするスパッタ法を用いて、図 2 中に示し

たように、柱状粒子の成長方向が書き込み配線1 の側壁の法線方向に対して30度以下であるように磁性層 (NiFe等) 2 を堆積させる。

【0078】

この際、書き込み配線1 の側壁にスパッタ装置のカソードから直接に堆積する磁性粒子もあるが、基板面から堆積する粒子の影響で柱状粒子の成長方向が側壁の法線に対して平行に近づいた。

【0079】

また、IBS(Ion Beam Sputtering)を用い、基板を傾けて成膜する方法などによって、スパッタ装置のカソードからの磁性粒子の飛来方向が書き込み配線の側壁に対してより垂直となるようなスパッタ方式を採用することにより、磁性層の特性を改善できた。さらに、基板にバイアスを印加したり、あるいは、イオンビーム (Ion Beam) を当てることも効果があった。

【0080】

＜書き込み配線の製造方法の第2の実施形態＞

図7 (A) および (B) は、本発明に係る書き込み配線の側壁に磁性層を形成する際にスパッタ粒子をイオン化したスパッタ法を用いる第2の実施形態を概略的に示している。

【0081】

図7 (A) は、層間絶縁膜41に形成されたトレンチに埋め込むことで書き込み配線を形成する場合の製造工程の一例を示している。この工程は、図1 (a) に示したようにMTJ 素子の下部に書き込み配線を配設する場合に適用される。

【0082】

まず、半導体基板上の層間絶縁膜 (例えばSiO_x膜) 41に形成されたトレンチ42に書き込み配線を埋め込む前に、トレンチ側壁に例えばTa層43を堆積しておく。この後、基板面に磁性体 (NiFe 等) 44を堆積した状態で、磁性体 (例えばNiFe) のスパッタ粒子をイオン化したNi⁺, Fe⁺, NiFe⁺ を基板面に飛来させることによって、柱状粒子の成長方向がトレンチ側壁の法線方向に対して30度以下であるように磁性層 (NiFe等) 2 を堆積させる。この後、トレンチ内部に書き込み配線 (例えばCu) (図示せず) を埋め込むと、図2中に示したように、磁性層 (NiFe等)

2 は書き込み配線の側壁の法線方向に対して30度以下になる。

【 0 0 8 3 】

前記したようにスパッタ粒子をイオン化して飛来させると、柱状粒子の成長方向が側壁の法線に対して平行に近づくという現象が現れた。また、イオン化率が20%を越えると、上記現象（効果）は顕著になった。

【 0 0 8 4 】

上記したようにスパッタ粒子をイオン化したスパッタ法を用いて形成された磁性層によれば、通常のスパッタ法と比べて書き込み再現性が向上した。

【 0 0 8 5 】

なお、前記トレンチ側壁は、基板面にほぼ垂直、または、トレンチ底面側よりも開口端側が広くなるようなテーパ状に形成されている。

【 0 0 8 6 】

図7（B）は、層間絶縁膜上に堆積された配線層をパターニングして書き込み配線を残す場合の製造工程の一例を示している。この工程は、図1（b）に示したようにMTJ素子21の上部に書き込み配線1を配設する場合に適用される。

【 0 0 8 7 】

まず、半導体基板上の層間絶縁膜41上に配線層（例えばCu）を堆積した後にRIEにより配線層をパターニングして書き込み配線（例えばCu）1を残す。この後、基板面に磁性体（NiFe等）45を堆積した状態で、磁性体（例えばNiFe）のスパッタ粒子をイオン化した Ni^+ 、 Fe^+ 、 $NiFe^+$ を基板面に飛来させることによって、図2中に示したように、柱状粒子の成長方向が書き込み配線1の側壁の法線方向に対して30度以下であるように磁性層（NiFe等）を堆積させる。

【 0 0 8 8 】

＜書き込み配線の製造方法の第3の実施形態＞

図8（A）および（B）は、本発明に係る書き込み配線の側壁に磁性層を形成する際にメッキ法を用いる第3の実施形態を概略的に示している。

【 0 0 8 9 】

図8（A）は、層間絶縁膜41に形成されたトレンチ42に書き込み配線を埋め込むことで書き込み配線を形成する場合の製造工程の一例を示している。この工程

は、図 1 (a) に示したように MTJ 素子の下部に書き込み配線を配設する場合に適用される。

【 0 0 9 0 】

まず、半導体基板上の層間絶縁膜（例えば SiO_x 膜）41 に形成されたトレンチ 42 に書き込み配線を埋め込む前に、トレンチ側壁にバリアメタル（例えば Ta 膜）およびメッキのシード層 46 を堆積しておく。この状態で、メッキ法を用いて、柱状粒子の成長方向がトレンチ側壁の法線方向に対して 30 度以下であるように磁性層 2 を形成する。この後、トレンチ内部に書き込み配線（例えば Cu）を埋め込むと、図 2 中に示したように、磁性層 2 は書き込み配線の側壁の法線方向に対して 30 度以下になる。

【 0 0 9 1 】

上記したメッキのシード層 46 として例えば NiFe を用いた場合、得られた磁性層（NiFe 等）は、比較的広いプロセス条件で良好な書き込み特性を示した。

【 0 0 9 2 】

上記したメッキのシード層として Cu を用い、Cu に直接に NiFe をメッキ成長させると、メッキ膜全体で組成を制御できる（メッキ初期層の組成異常を回避できる）ようになり、さらに良好な書き込み特性が安定して得られた。

【 0 0 9 3 】

なお、前記トレンチ側壁は、基板面にほぼ垂直、または、トレンチの底面側よりも開口端側が広くなるようなテーパ状に形成されている。

【 0 0 9 4 】

図 8 (B) は、前記書き込み配線として、配線層をパターンニングして書き込み配線を残す場合の製造工程の一例を示している。この工程は、図 1 (b) に示したように MTJ 素子 21 の上部に書き込み配線 1 を配設する場合に適用される。

【 0 0 9 5 】

まず、半導体基板上の層間絶縁膜 41 上に配線層（例えば Cu）を堆積した後に RIE により配線層をパターンニングして書き込み配線（例えば Cu）1 を残す。この後、Cu に直接に NiFe をメッキ成長させるメッキ法を用いて、図 1 (c) 中に示したように、柱状粒子の成長方向が書き込み配線 1 の側壁の法線方向に対して 30 度以

下であるように磁性層2 を形成する。

【0096】

また、書き込み配線1 にCuを用いると、Cuの電気抵抗は小さいので、8インチ基板（ウェハ）内に膜厚分布の少ない磁性層を被覆することができ、その結果、メモリチップの製造歩留まりを大幅に向上させることが可能になった。

【0097】

上記した書き込み配線の製造方法の第3の実施形態によれば、メッキのシード層としてNiFeあるいはCuを用いるメッキ法によって得られた磁性層（NiFe等）は、図2中に示したように、柱状粒子の成長方向が前記側壁の法線方向に対して30度以下の構造、または、粒子が層状に堆積した構造、あるいは、アモルファス状に堆積した構造を有するように磁性層を形成することが可能になる。このようなメッキ法によって得られた磁性層（NiFe等）は、比較的広いプロセス条件で良好な書き込み特性を示した。

【0098】

なお、本発明は、前記各実施形態におけるMTJ 素子の記録層が多層構造からなる場合にも適用可能である。

【0099】

【発明の効果】

上述したように本発明の磁気ランダムアクセスメモリおよびその製造方法によれば、少なくとも一部が磁性体で被覆されたヨーク付きの書き込み配線の磁性層の結晶状態を工夫することにより、書き込み電流値の大幅な低減と、良好な短パルスで再現性の高い書き込みを実現することができる。

【図面の簡単な説明】

【図1】 本発明のMRAMで用いられるメモリセルのMTJ 素子と書き込み配線との配置関係の二例を模式的に示す図。

【図2】 図1中の書き込み配線の側壁を覆う磁性層の結晶状態を概略的に示す断面図。

【図3】 図2中の磁性層の結晶状態を断面TEM 観察などにより調べた結果を概略的に示す図。

【図 4】 図 2 に示した柱状粒子の成長方向の角度 θ とそれに対応する書き込み配線を使用した場合の書き込み特性の関係を示す図。

【図 5】 図 1 中の書き込み配線の磁性層の製造方法の違いに依存する書き込み電流と、短パルスの書き込み電流で書き込みを行った場合の再現性の関係を示す特性図。

【図 6】 本発明の書き込み配線の側壁に磁性層を形成する際にスパッタ法を用いる実施形態を模式的に示す図。

【図 7】 本発明の書き込み配線の側壁に磁性層を形成する際にスパッタ粒子をイオン化したスパッタ法を用いる実施形態を模式的に示す図。

【図 8】 本発明の書き込み配線の側壁に磁性層を形成する際にメッキ法を用いる実施形態を模式的に示す図。

【図 9】 MRAM で用いられる MTJ 素子の一般的な構造を示す断面図。

【図 10】 図 9 中の MTJ 素子の 2 つの磁性層のスピン向きを示す図。

【図 11】 MRAM のセルアレイの平面レイアウトの一例を模式的に示す図。

【図 12】 図 11 中の A-A 線に沿うビット線に垂直な面内においてメモリセルの 1 個分に着目して構造の一例を示す断面図。

【図 13】 図 11 中の B-B 線に沿う書き込みワード線に垂直な面内の構造の一例を示す断面図。

【図 14】 図 9 に示した MTJ 素子の印加磁界の反転による抵抗値の変化特性を示す特性図。

【図 15】 図 9 に示した MTJ 素子のアステロイド曲線を示す特性図。

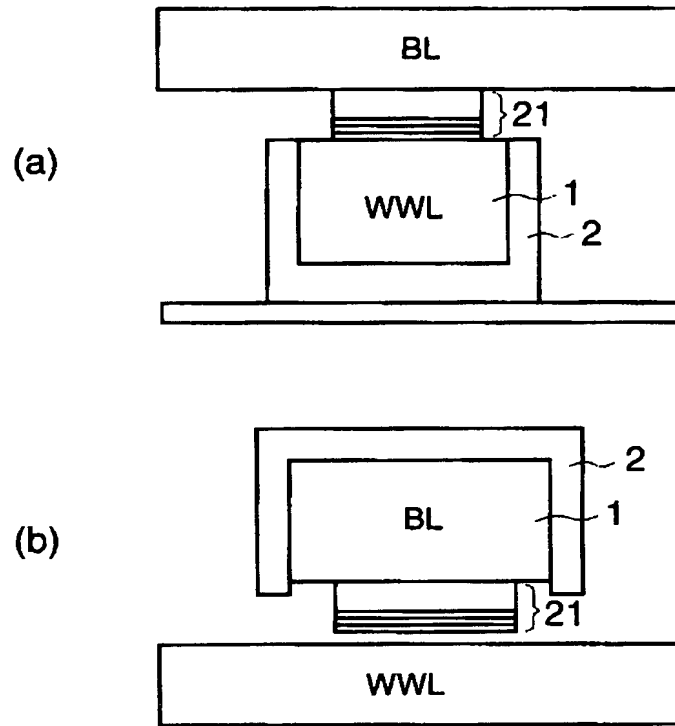
【図 16】 ヨーク付き書き込み配線の構造の一例およびそれを用いて書き込みを行う場合の書き込み効率が改善される様子を示す特性図。

【符号の説明】

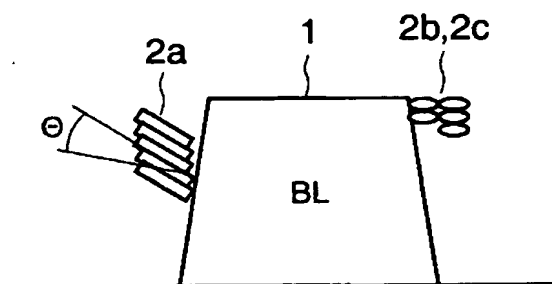
1 …書き込み配線、2a…柱状粒子の成長方向が側壁の法線方向に対して 30 度以下である構造を有する磁性層部分、2b…粒子が層状に堆積した（粒状に層成長した）構造を有する磁性層部分、2c…粒子の境界（粒界）が不明瞭なアモルファス状に堆積した構造を有する磁性層部分。

【書類名】 図面

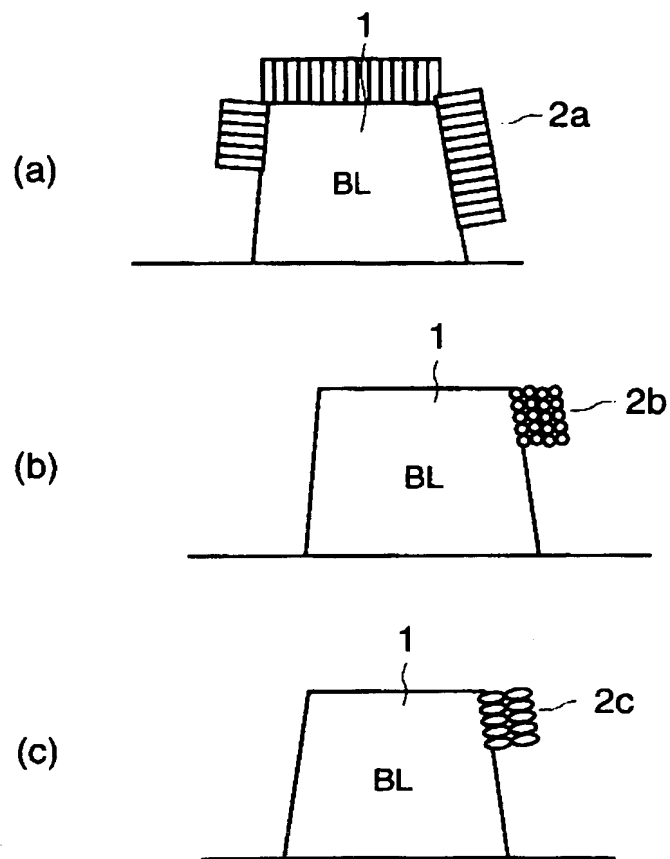
【図 1】



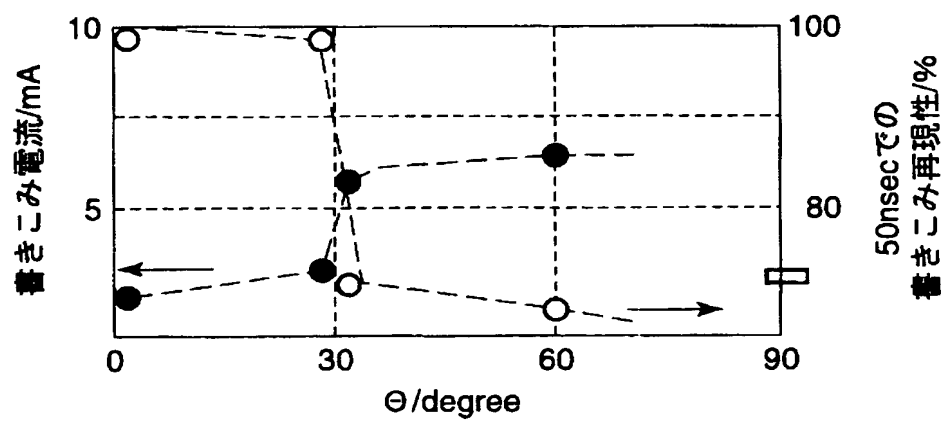
【図 2】



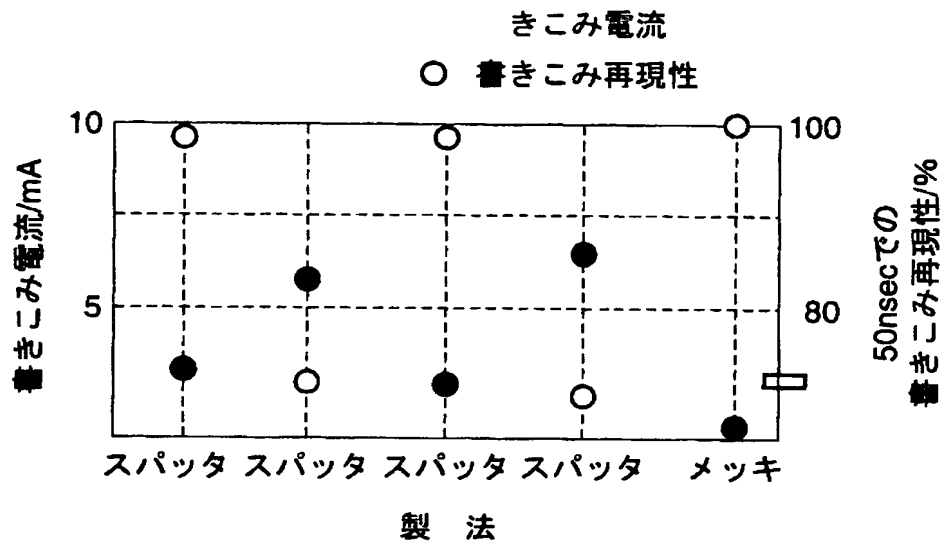
【図 3】



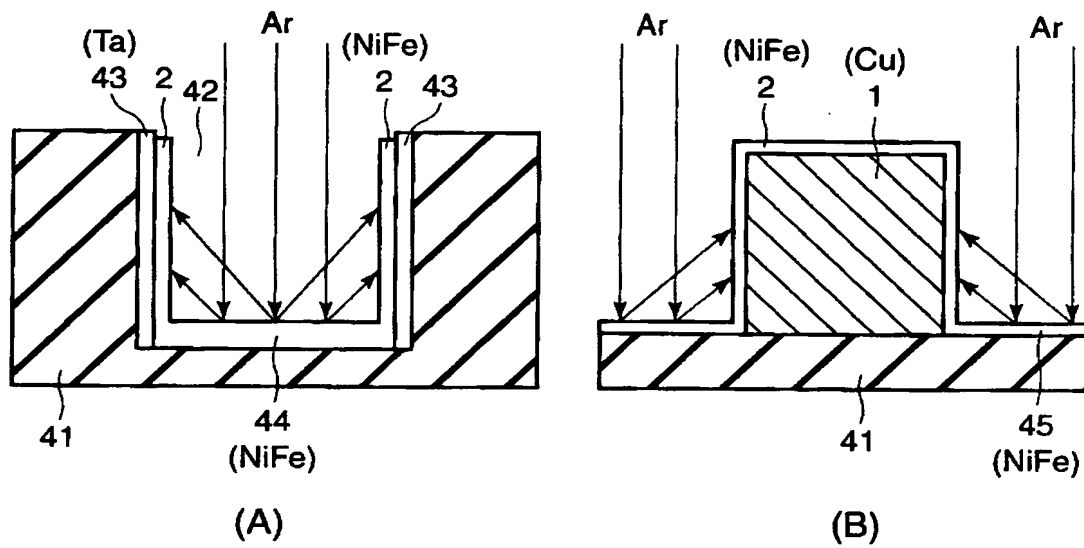
【図 4】



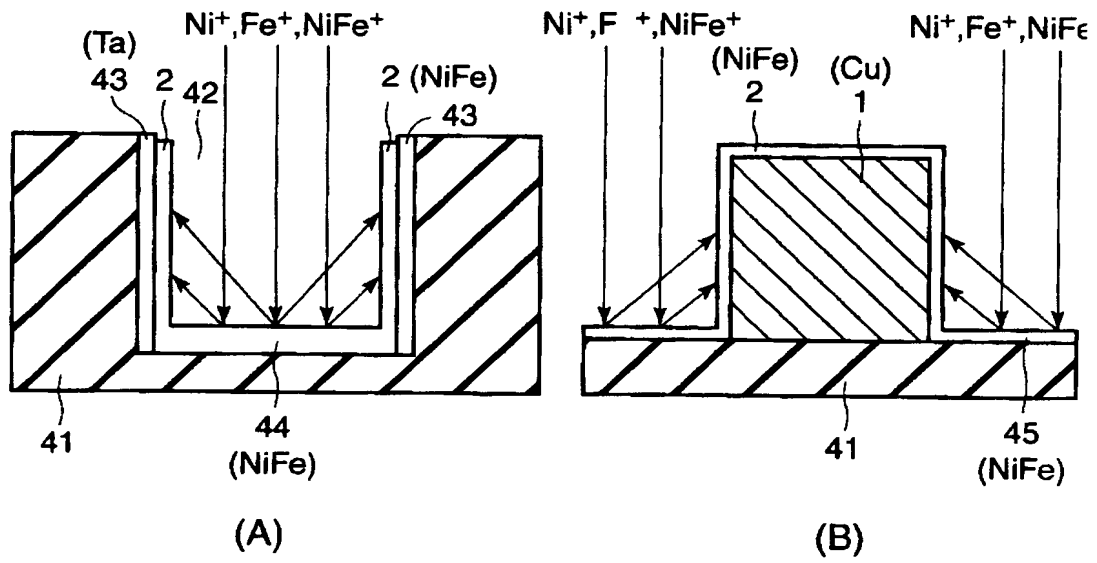
【図 5】



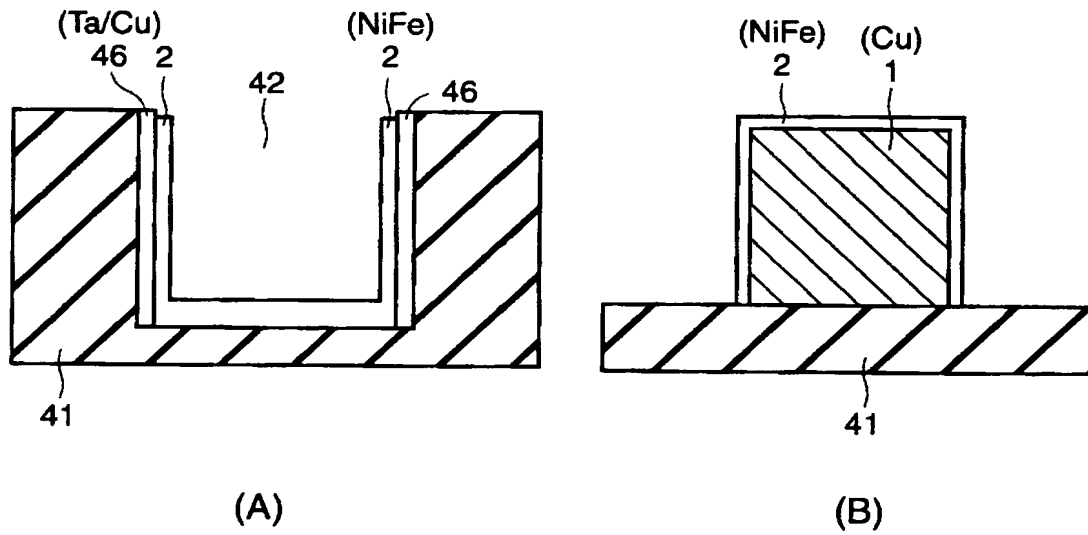
【図 6】



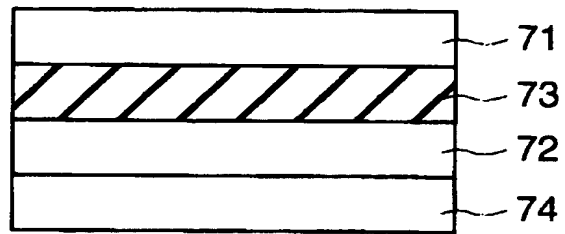
【図 7】



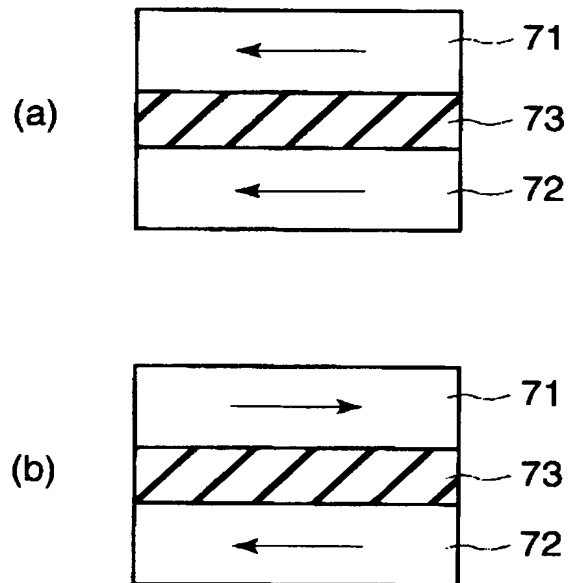
【図 8】



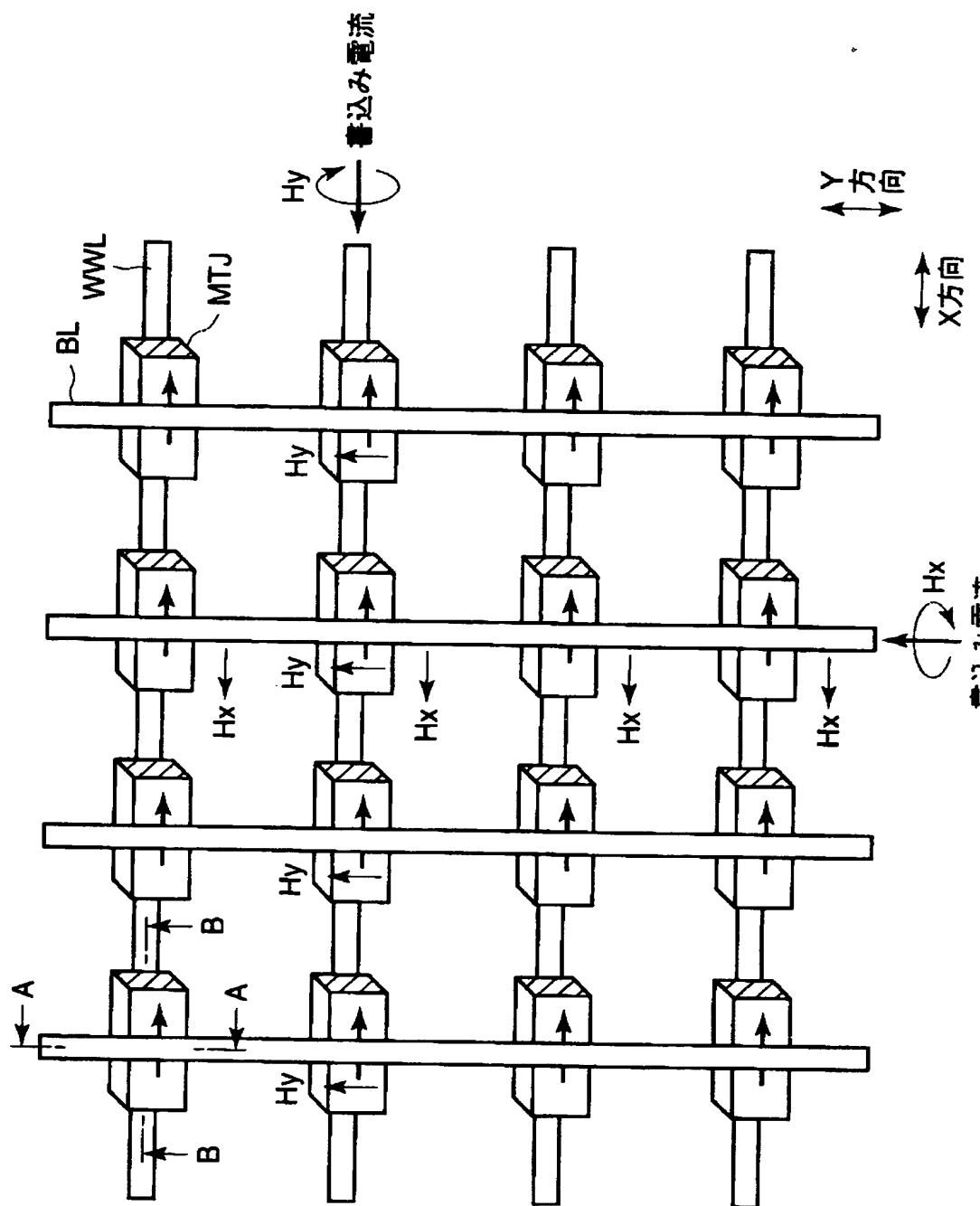
【図 9】



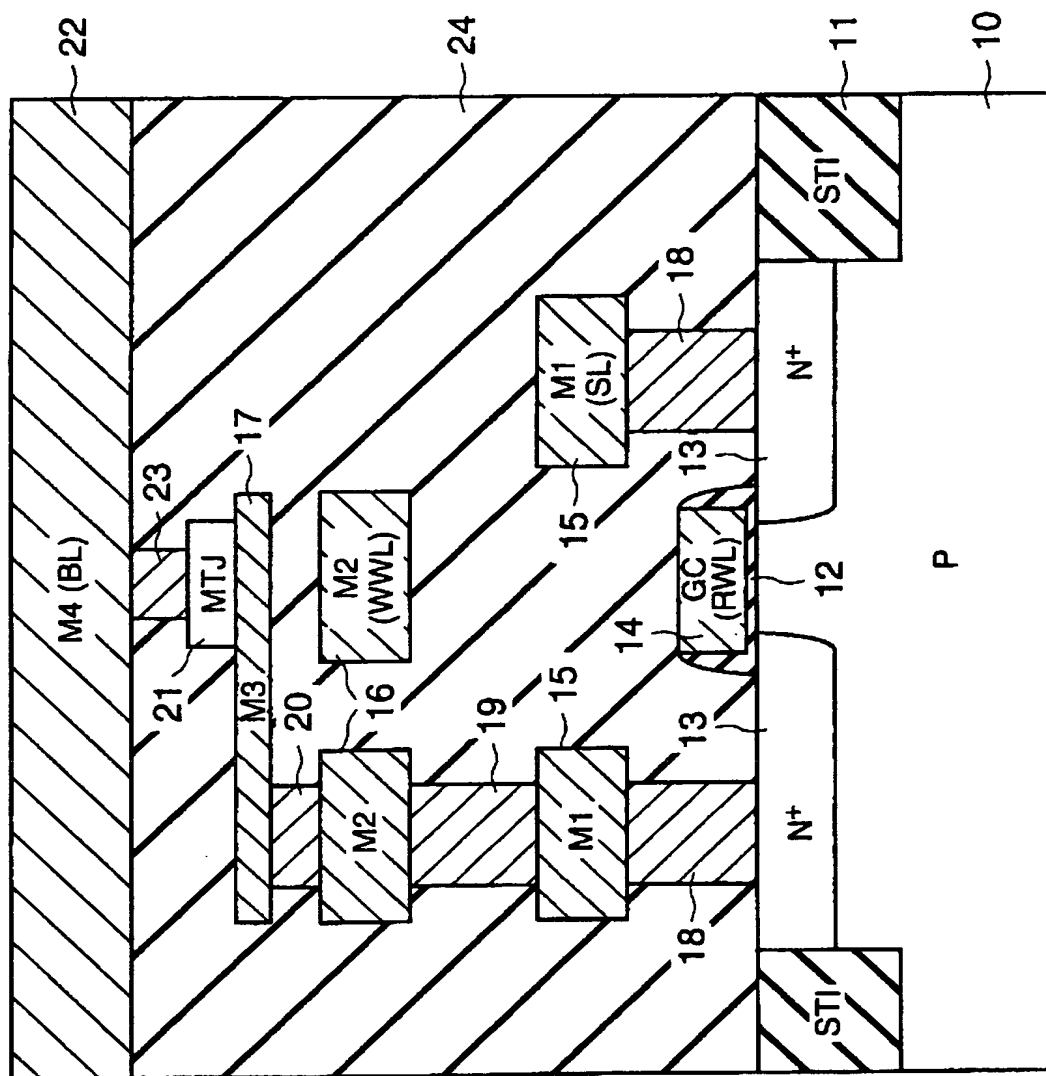
【図 1 0】



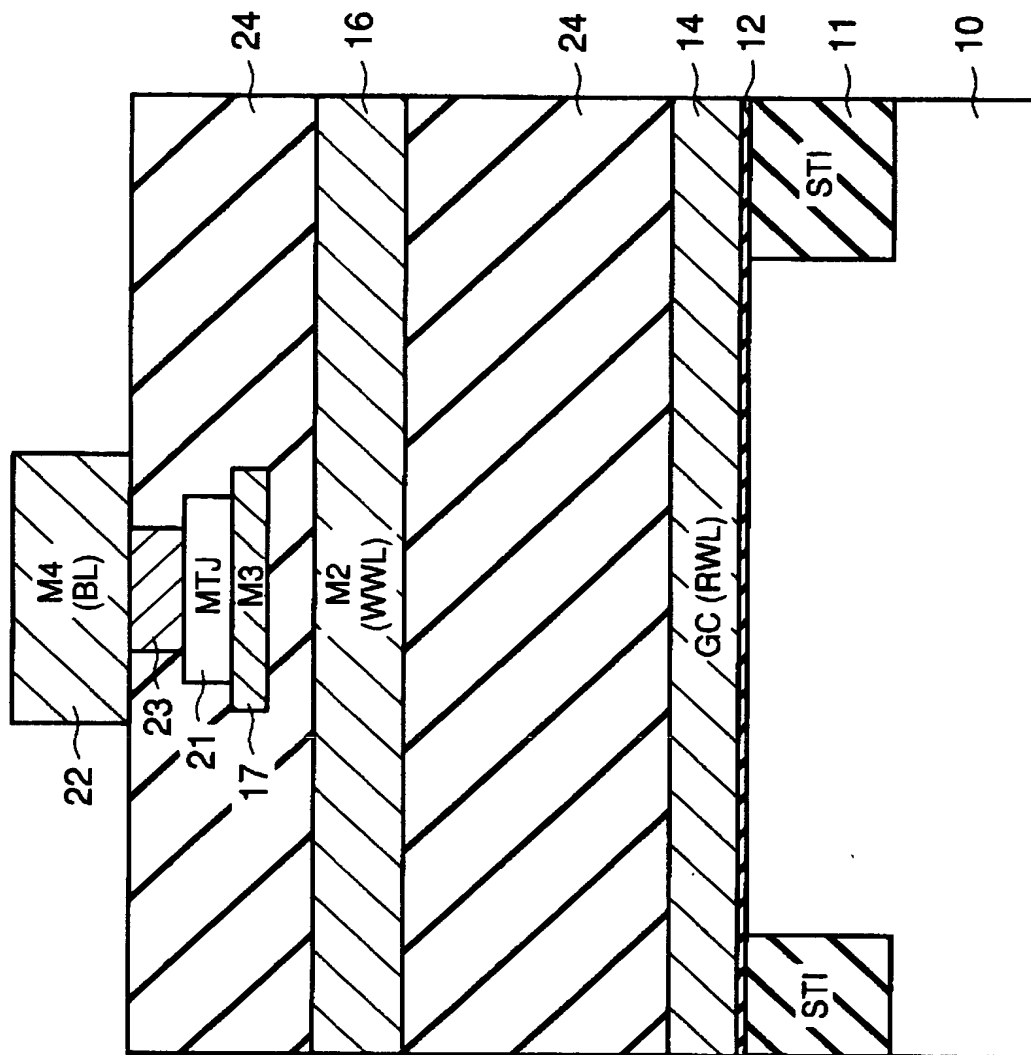
【図 11】



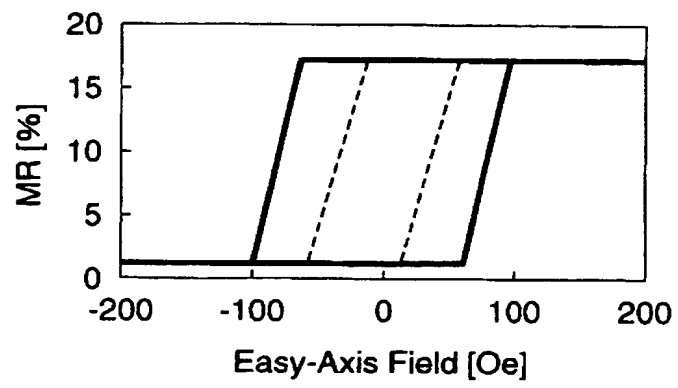
【图 1 2】



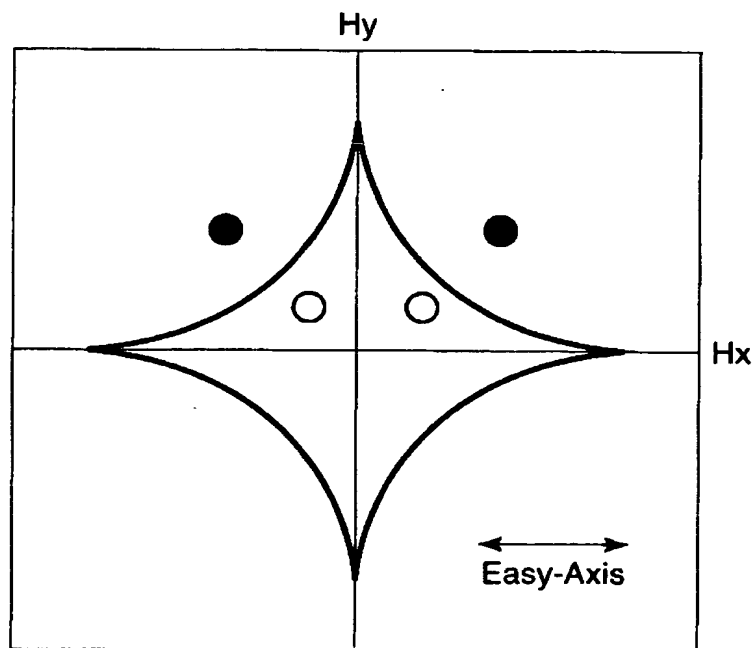
【图 13】



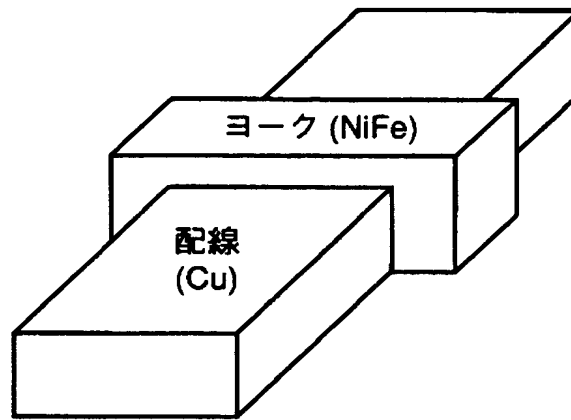
【図 1 4】



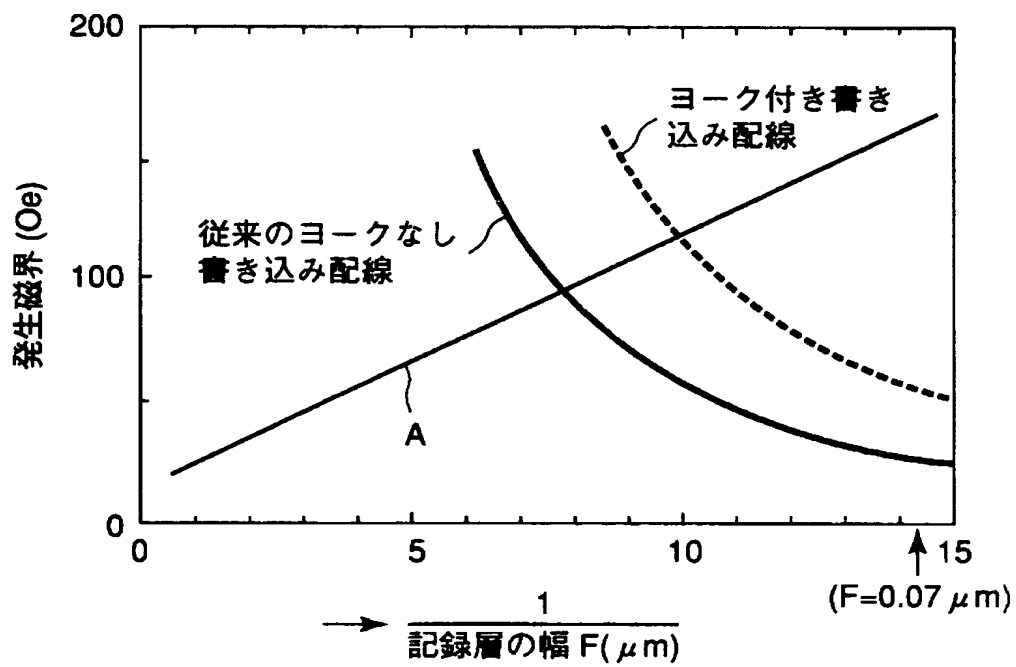
【図 1 5】



【図 16】



(a)



(b)

【書類名】 要約書

【要約】

【課題】 少なくとも一部が磁性体で被覆されたヨーク付きの書き込み配線の磁性層の結晶状態を工夫することにより、書き込み電流値の大幅な低減と、短パルスで再現性の高い書き込みを可能とした磁気ランダムアクセスメモリを提供する。

【解決手段】 MTJ 素子21に情報を書き込むための書き込み配線1 は磁性層2 で被覆されており、磁性層は、柱状粒子の成長方向が側壁の法線方向に対して30度以下である構造を有する、または、粒子が層状に堆積した構造を有する、または、アモルファス状に堆積した構造を有する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 2 0 0 1 年 7 月 2 日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目 1 番 1 号
氏 名 株式会社東芝